

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Chu

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: January 20, 2004

Docket No. 252206-1060

For: **Method and Apparatus for Determining the Write Delay Time of a Memory**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

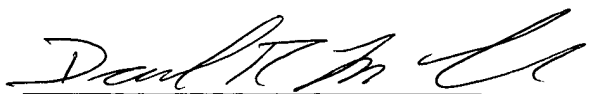
Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Method and Apparatus for Determining the Write Delay Time of a Memory", filed July 7, 2003, and assigned serial number 92118535. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

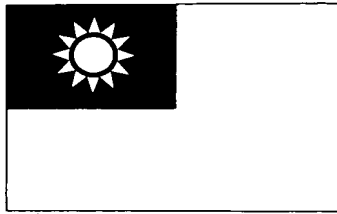
**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By:



Daniel R. McClure; Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 07 日
Application Date

申請案號：092118535
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 14 日
Issue Date

發文字號：09220821930
Serial No.

申請日期：2003.7.7	IPC分類
申請案號：92118525	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	記憶體之寫入延遲時間的決定方法及其裝置
	英 文	A method and apparatus for determining the write delay time of a memory
二、 發明人 (共1人)	姓 名 (中文)	1. 朱修明
	姓 名 (英文)	1. Chu, Simon
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien, Taipei, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 231 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien, Taipei, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Cher Wang



TW1160E(威盛).p1d

四、中文發明摘要 (發明名稱：記憶體之寫入延遲時間的決定方法及其裝置)

一種記憶體之寫入延遲時間的決定方法及其裝置，包括中央處理器、記憶體、北橋、南橋及基本輸入輸出系統(BIOS)。北橋分別與中央處理器及記憶體電性連接，以不同之寫入延遲時間將一樣本填入記憶體。基本輸入輸出系統讀取記憶體儲存之樣本，並檢查讀取之樣本之正確性以決定寫入延遲時間。

五、(一)、本案代表圖為：第 4A 圖

(二)、本案代表圖之元件代表符號簡單說明：(無)

六、英文發明摘要 (發明名稱：A method and apparatus for determining the write delay time of a memory)

A method and apparatus for determining the write delay time of a memory. The embodiment of the invention includes a CPU, a memory, a north bridge, a south bridge, and a BIOS. The north bridge, being electrically connected to the CPU and the memory, writes a pattern to the memory according to a plurality of write delay times. The BIOS determines the write delay time according



四、中文發明摘要 (發明名稱：記憶體之寫入延遲時間的決定方法及其裝置)

六、英文發明摘要 (發明名稱：A method and apparatus for determining the write delay time of a memory)

to the correctness of the read patterns.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

無

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種記憶體之寫入延遲時間的決定方法及其裝置，且特別是有關於一種動態隨機存取記憶體之寫入延遲時間的調整方法及其裝置。

【先前技術】

一般的電子產品，例如是電腦，內部都有動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)，以供處理器暫存資料、程式等。動態隨機存取記憶體越大，可以使電腦運作地較為順暢。因此現今電腦上都可以插數條動態隨機存取記憶體，以供使用者可以視需要而方便地擴充。動態隨機存取記憶體例如是雙倍資料速率(Double Data Rate, DDR)動態隨機存取記憶體。

當下寫入命令給記憶體後，記憶體需要一段延遲時間才會實際寫入記憶體，以確保資料的正確性。而由於製造廠商的不同，寫入每條記憶體所需的延遲時間也不相同。因此電腦在啟動時，需要確認記憶體的寫入延遲時間，以確保讀寫的正確性。

第1圖是記憶體的寫入延遲時間示意圖。當寫入指令W發出後，記憶體有最小寫入延遲時間 t_{DQSSm} ，也就是最少要等待這個時間，資料到達信號(Data strobe)DQS才能轉變為高位準，以將資料寫入記憶體。記憶體另有最大緩衝時間 t_{DQSSM} ，也就是在這個時間之前，資料到達信號(data strobe)DQS需轉變為高位準，以將資料寫入記憶



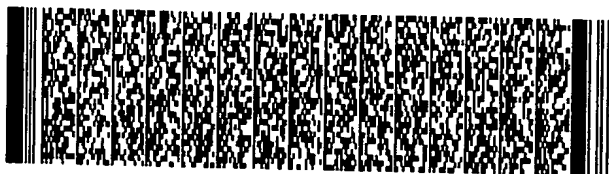
五、發明說明 (2)

體。因此只要寫入延遲時間在最小緩衝時間 t_{DQSSm} 及最大緩衝時間 t_{DQSSM} 之間，記憶體所寫入的資料就可以保證是正確的。

一條記憶體的兩面都可以有記憶體晶片，記憶體的一面，稱做一列(rank)記憶體，係由一個晶片選擇信號(chip select, CS)所啟動。例如有四條記憶體的電腦，每條記憶體的兩面都有記憶晶片，則此電腦有八列(rank)記憶體。電腦於啟動時，需針對此八列記憶體分別檢查寫入延遲時間的範圍，最後再決定此些列之記憶體可以共用的寫入延遲時間。

第2圖是傳統的記憶體之寫入延遲時間的檢查方法流程圖。首先，發出寫入命令給記憶體，如步驟210所示。等待一段寫入延遲時間，如步驟220所示。然後記憶體才依據寫入命令將一組樣本寫入，如步驟230所示。一組樣本例如是[01h 02h 03h 04h]。接著，從記憶體將樣本讀出，如步驟240所示。然後，檢查所讀出的樣本是否正確，如步驟250所示。若是，則表示此寫入延遲時間係為合格，如步驟260所示；若否，則表示此寫入延遲時間係為不合格，如步驟270所示。在步驟280中，改變寫入延遲時間，再回到步驟210重新檢查此改變後的寫入延遲時間是否合格。一般係可以將寫入延遲時間由小到大去測試，以找出此記憶體的最小寫入延遲時間 t_{DQSSm} 與最大寫入延遲時間 t_{DQSSM} 。

電腦中的各列記憶體依照第2圖所示之方法找出其最



五、發明說明 (3)

小寫入延遲時間 t_{DQSSm} 與最大寫入延遲時間 t_{DQSSM} 。則共用的最小寫入延遲時間即為各最小寫入延遲時間的最大值，共用的最大寫入延遲時間即為各最大寫入延遲時間的最小值。然後在此共用的最小寫入延遲時間與此共用的最大寫入延遲時間中找出一個共用寫入延遲時間 t_{DQSS} ，往後電腦運作時，記憶體即可以使用此共用寫入延遲時間 t_{DQSS} 而寫入資料，這樣就可以確保寫入的資料係為正確。

然而，上述的檢查方法所耗費的時間過長。一般執行上述的檢查方法係由電腦中的基本輸出入系統(Basic Input/Output System, BIOS)所執行。基本輸出入系統係位於電連於南橋的一個唯讀記憶體晶片(ROM)上。中央處理器從唯讀記憶體晶片上讀取指令不夠快，而且基本輸出入系統還要從記憶體讀出樣本來確認，因此整個寫入延遲時間的檢查流程會很慢，造成電腦開機所需的時間太久。

【發明內容】

有鑑於此，本發明的目的就是在提供一種增快記憶體之寫入延遲時間的決定速度的決定方法及其裝置。

根據本發明的目的，提出一種記憶體之寫入延遲時間的決定裝置，包括中央處理器、記憶體北橋、南橋及基本輸入輸出系統(BIOS)。北橋分別與中央處理器及記憶體電性連接，以不同之寫入延遲時間將一樣本填入記憶體。基本輸入輸出系統讀取記憶體儲存之樣本，並檢查讀取之樣



五、發明說明 (4)

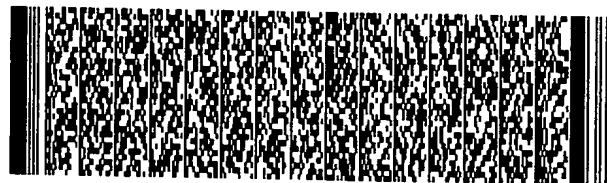
本之正確性以決定寫入延遲時間。

根據本發明之另一目的，提出一種記憶體之寫入延遲時間的決定方法，包括以下步驟。首先，北橋決定一寫入延遲時間。接著，北橋對記憶體下一寫入指令以寫入一樣本。接著，記憶體於等待寫入延遲時間後，依據寫入指令寫入樣本。然後，基本輸入輸出系統(BIOS)讀取記憶體儲存之樣本並檢查其正確性以決定寫入延遲時間。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

電腦剛啟動時，需初始化各種硬體，此動作係由電腦中的基本輸入輸出系統(Basic Input/Output System, BIOS)所執行。記憶體的初始化之一就是要決定其寫入延遲時間。電腦中可能會同時存在好幾條不同廠商製造的記憶體，每條記憶體的特性不會相同，因此需要找到一個每條記憶體都可以接受的寫入延遲時間，以確保資料存取的正確性。傳統上的決定記憶體之寫入延遲時間的檢查方法係由電腦中的基本輸入輸出系統(BIOS)所執行。基本輸入輸出系統係位於電連於南橋的一個唯讀記憶體晶片(ROM)上，其與對外的輸出入速度很慢。中央處理器從唯讀記憶體晶片上讀取指令不夠快，而且基本輸入輸出系統還要從記憶體讀出樣本來確認，因此整個寫入延遲時間的檢查流程會很



五、發明說明 (5)

慢，造成電腦開機所需的時間太久。

本發明即是使用與記憶體電性連接的北橋負擔部分的寫入延遲時間的檢查工作，以加快寫入延遲時間的檢查時間。

第3圖是依照本發明一較佳實施例的一種電腦系統方塊圖。電腦系統300包括中央處理器310、北橋320、南橋330、記憶體340及基本輸入輸出系統(BIOS)350。記憶體340係與北橋320電性連接，中央處理器310係透過北橋320而存取記憶體340。基本輸入輸出系統(BIOS)350係透過南橋330與北橋320而存取記憶體。與傳統電腦系統不同的是，北橋320更負擔電腦初始時檢查記憶體的寫入延遲時間的工作，將詳細說明於後。

第4A圖是電腦系統所使用的一種記憶體之寫入延遲時間的決定方法流程圖。首先，在步驟410中，由北橋320以不同的寫入延遲時間將樣本填至記憶體340。請同時參照第5圖，其繪示為記憶體340的示意圖。寫入延遲時間一般有0x0~0xFF的值，北橋320與記憶體340一次傳送的資料係64位元組(byte)，因此本實施例將記憶體340規劃為區塊D[0]、D[1]、...、D[n]，一個區塊係為64位元組。此些區塊係分別對應地儲存寫入延遲時間為0、1、...、n的樣本。北橋320係開始以寫入延遲時間為0將樣本填入記憶體340的區塊D[0]；然後以寫入延遲時間為1將樣本填入記憶體340的區塊D[1]；依此類推，最後以寫入延遲時間為n將樣本填入記憶體340的區塊D[n]。由於北橋320對記憶體



五、發明說明 (6)

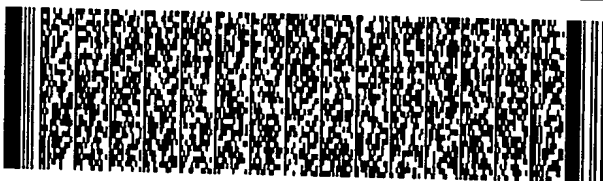
340 的寫入速度很快，因此本步驟很快即可完成。

在步驟430中，由基本輸入輸出系統(BIOS)350讀出記憶體340所儲存的樣本。然後在步驟430中，基本輸入輸出系統(BIOS)即可依據所讀出的樣本之正確性判斷此記憶體340的寫入延遲時間的範圍。

上述實施例係以一系列(rank)記憶體為例做說明。一般電腦係有多列記憶體，因此只要重複上述方法即可分別得知各列記憶體的寫入延遲時間的範圍。然後再依據此些寫入延遲時間的範圍決定各列記憶體皆可以接受的寫入延遲時間。

第4B圖是步驟410中，北橋寫入記憶體的方法流程圖。以N個寫入延遲時間為例。初始時，n係為0，如步驟412所示。接著，北橋320決定寫入延遲時間(n)的值，如步驟414所示。接著，北橋320發出寫入命令以寫入一樣本於對應的區塊D[n]，如步驟416所示。接著，記憶體340等待寫入延遲時間(n)後，將樣本寫入區塊D[n]，如步驟418所示。然後判斷n是否小於N，如步驟420所示，若是則令n增加1，如步驟422所示。然後重複步驟414至418直到所有N個區塊皆已寫入樣本。

傳統方法的瓶頸係在於要執行基本輸入輸出系統(BIOS)中的程式會很慢。本發明所揭露之記憶體之寫入延遲時間的決定方法係將填樣本至記憶體的工作交由直接與記憶體電性連接的北橋執行，因此可以大大的加速本檢查方法，以減少電腦開機所需的時間。並且本發明可以減少



五、發明說明 (7)

基本輸入輸出系統(BIOS)的程式碼，使得程式開發更為快速。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1圖是記憶體的寫入延遲時間示意圖。

第2圖是傳統的記憶體之寫入延遲時間的檢查方法流程圖。

第3圖是依照本發明一較佳實施例的一種電腦系統方塊圖。

第4A圖是電腦系統所使用的一種記憶體之寫入延遲時間的決定方法流程圖。

第4B圖是步驟410中，北橋寫入記憶體的方法流程圖。

第5圖繪示為記憶體的示意圖。

圖式標號說明

310：中央處理器

320：北橋

330：南橋

340：記憶體

350：基本輸入輸出系統(BIOS)



六、申請專利範圍

1. 一種記憶體之寫入延遲時間的決定方法，用於一電腦系統，該電腦系統包括一北橋、一記憶體及一基本輸入輸出系統(BIOS)，該記憶體係與該北橋電性連接，該方法包括：

決定一寫入延遲時間，其係由該北橋決定；

對該記憶體下一寫入指令以寫入一樣本，該寫入指令係由該北橋發出；

於該寫入延遲時間後，依據該寫入指令寫入該樣本至該記憶體；

讀取該記憶體儲存之該樣本，其係由該基本輸入輸出系統(BIOS)執行；以及

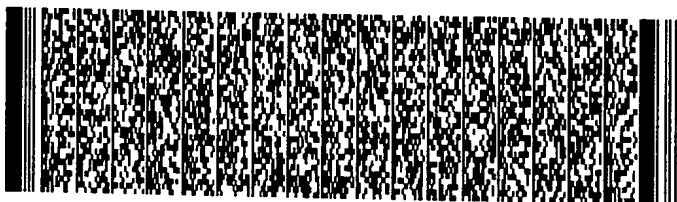
檢查該讀取之該樣本是否符合該寫入之樣本，若是，則該寫入延遲時間為合格，其係由該基本輸入輸出系統(BIOS)執行。

2. 如申請專利範圍第1項所述之方法，其中，重複執行該方法以找出該記憶體之合格之一寫入延遲時間範圍。

3. 如申請專利範圍第2項所述之方法，其中該電腦系統包括複數個該記憶體，依據各該記憶體之該寫入延遲時間範圍，然後據以決定該寫入延遲時間。

4. 如申請專利範圍第3項所述之方法，其中該寫入延遲時間係為該些寫入延遲時間範圍之交集。

5. 一種記憶體之寫入延遲時間的決定方法，用於一電腦系統，該電腦系統包括一北橋、複數列(rank)記憶體及一基本輸入輸出系統(BIOS)，該記憶體係與該北橋電性



六、申請專利範圍

連接，該方法包括：

(a) 選擇該些列記憶體之一，其係由該北橋執行；

(b) 以複數個不同的寫入延遲時間將一樣本寫入選擇之該列記憶體，其係由該北橋執行，包括：

選擇該些寫入延遲時間之一；

對選擇之該列記憶體下一寫入指令以寫入一樣本到該記憶體之一區塊；以及

於等待選擇之該寫入延遲時間後，依據該寫入指令寫入該樣本至對應之該區塊，其係由該記憶體執行；

(c) 重複步驟(a)及(b)，以將該樣本依照該些寫入延遲時間填入該些列記憶體；以及

(d) 讀取該些列記憶體儲存之該樣本，並依據該讀取之樣本的正確性而決定各該列記憶體合格之一寫入延遲時間範圍，然後再據以決定該寫入延遲時間，其係由該基本輸入輸出系統(BIOS)執行。

6. 如申請專利範圍第5項所述之方法，其中步驟(d)中的該寫入延遲時間係為該些寫入延遲時間範圍之交集。

7. 一種記憶體之寫入延遲時間的決定裝置，包括：

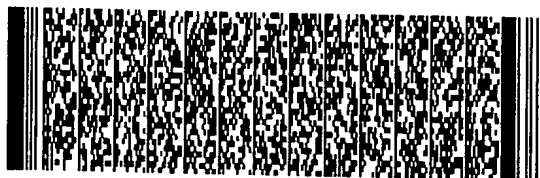
一中央處理器；

一記憶體；

一北橋，分別與該中央處理器及該記憶體電性連接，以不同之複數個寫入延遲時間將一樣本填入該記憶體；

一南橋，與該北橋電性連接；以及

一基本輸入輸出系統，讀取該記憶體儲存之該樣本並



六、申請專利範圍

檢查該讀取之樣本之正確性以找出該記憶體的一寫入延遲時間範圍，並據以決定該寫入延遲時間。

8. 如申請專利範圍第7項所述之裝置，其中，該裝置包括複數個該記憶體。

9. 如申請專利範圍第8項所述之裝置，其中，該基本輸入輸出系統係讀取各該記憶體的該寫入延遲時間範圍，然後據以決定該寫入延遲時間。

10. 一種記憶體之寫入延遲時間的決定方法，用於一電腦系統，該電腦系統包括一北橋、一記憶體及一基本輸入輸出系統(BIOS)，該記憶體係與該北橋電性連接，該方法包括：

依據一寫入延遲時間對該記憶體下一寫入指令以寫入一樣本，其係由該北橋執行；以及


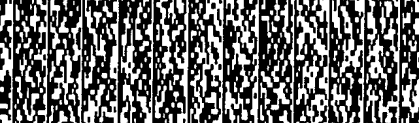


檢查該記憶體儲存之該樣本是否符合該寫入之樣本，若是，則該寫入延遲時間為合格，其係由該基本輸入輸出系統(BIOS)執行。

11. 如申請專利範圍第10項所述之方法，其中，重複執行該方法以找出該記憶體之合格之一寫入延遲時間範圍。

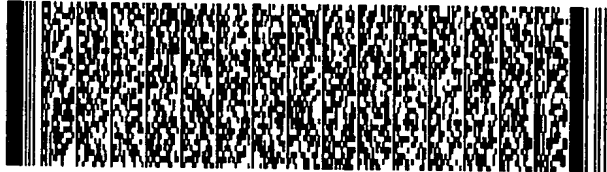
12. 如申請專利範圍第11項所述之方法，其中該電腦系統包括複數個該記憶體，依據各該記憶體之該寫入延遲時間範圍，然後據以決定該寫入延遲時間。

13. 如申請專利範圍第13項所述之方法，其中該寫入延遲時間係為該些寫入延遲時間範圍之交集。

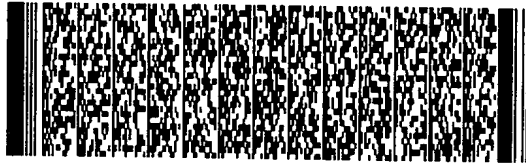




第 10/15 頁



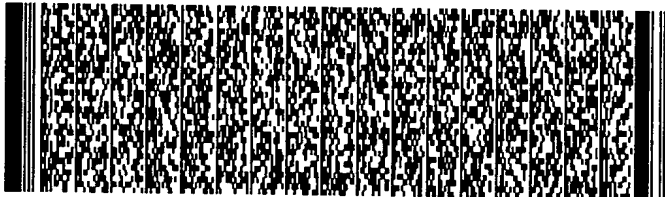
第 11/15 頁



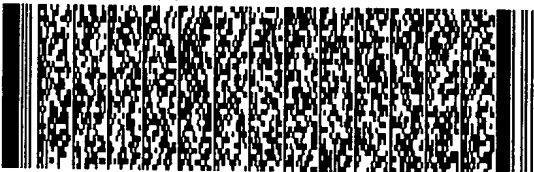
第 12/15 頁



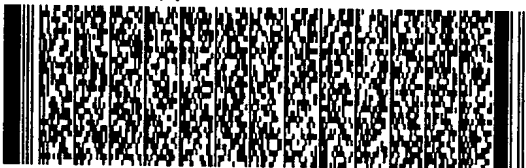
第 13/15 頁



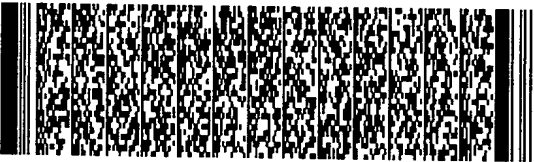
第 14/15 頁



第 14/15 頁

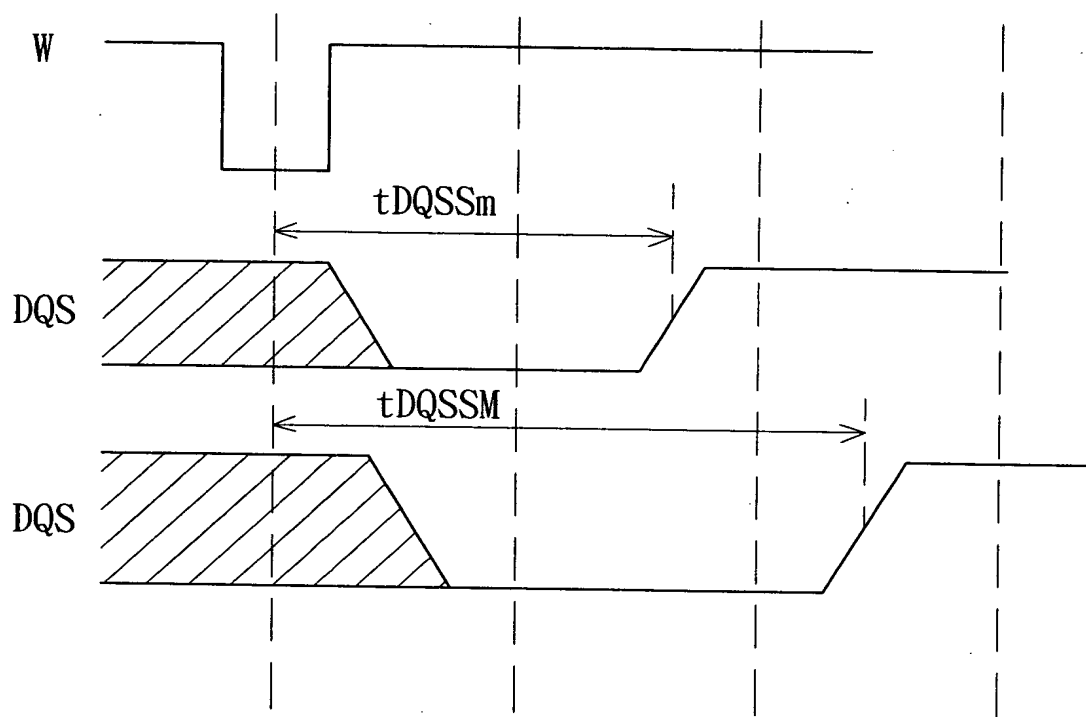


第 15/15 頁

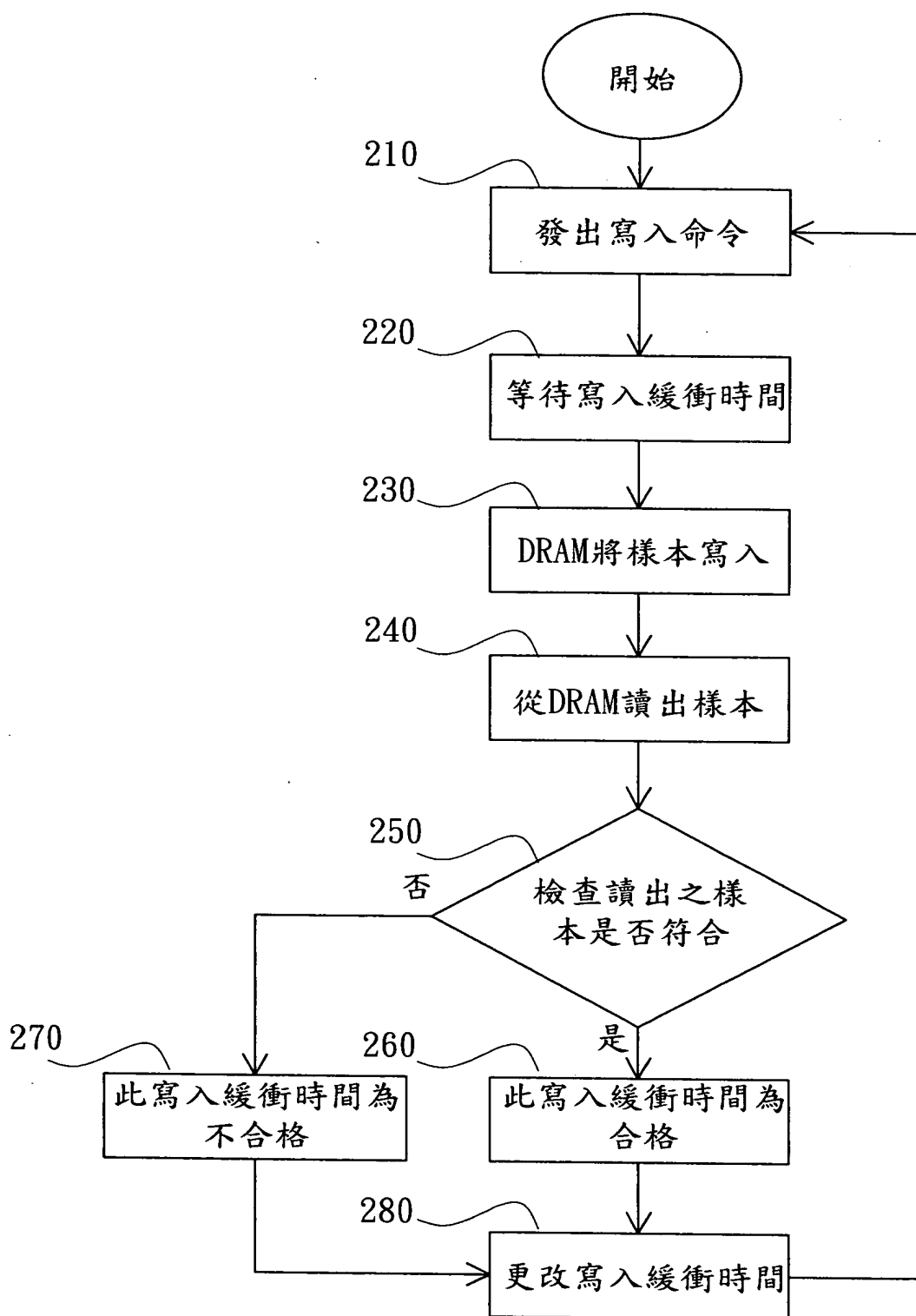


第 15/15 頁

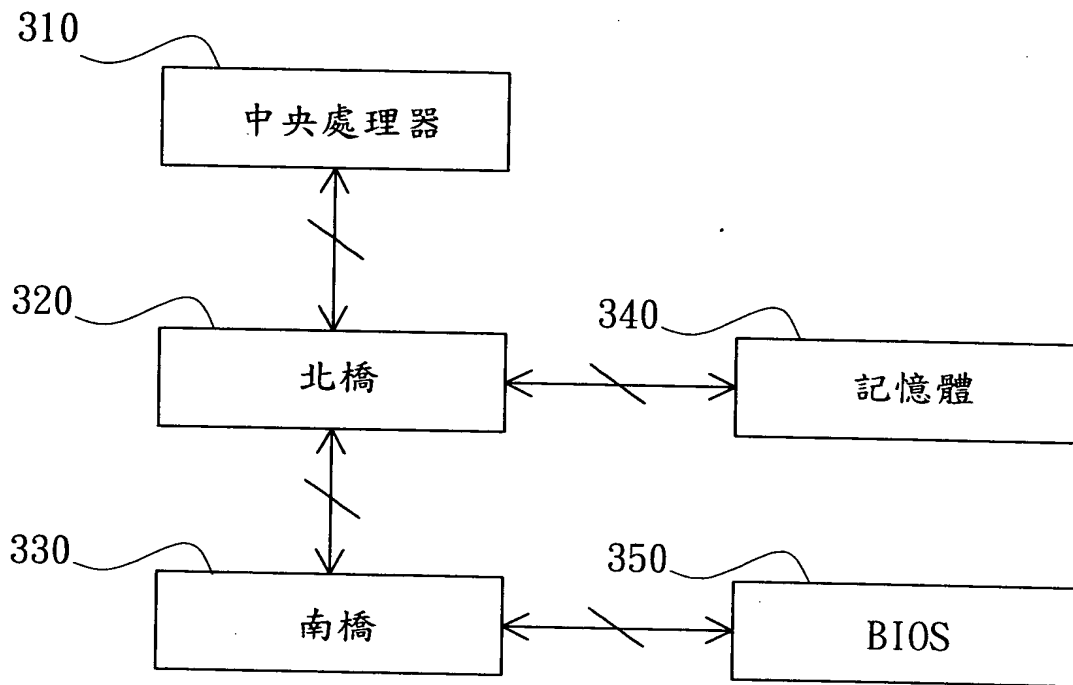




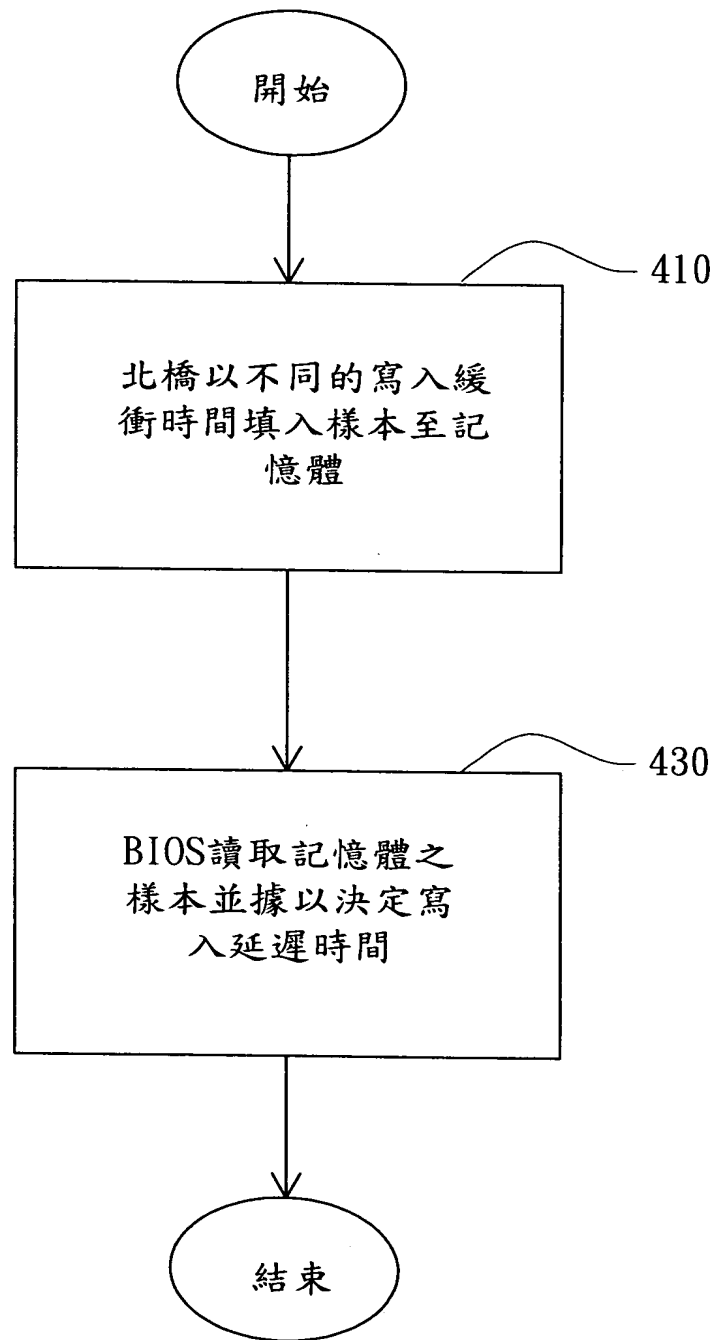
第 1 圖



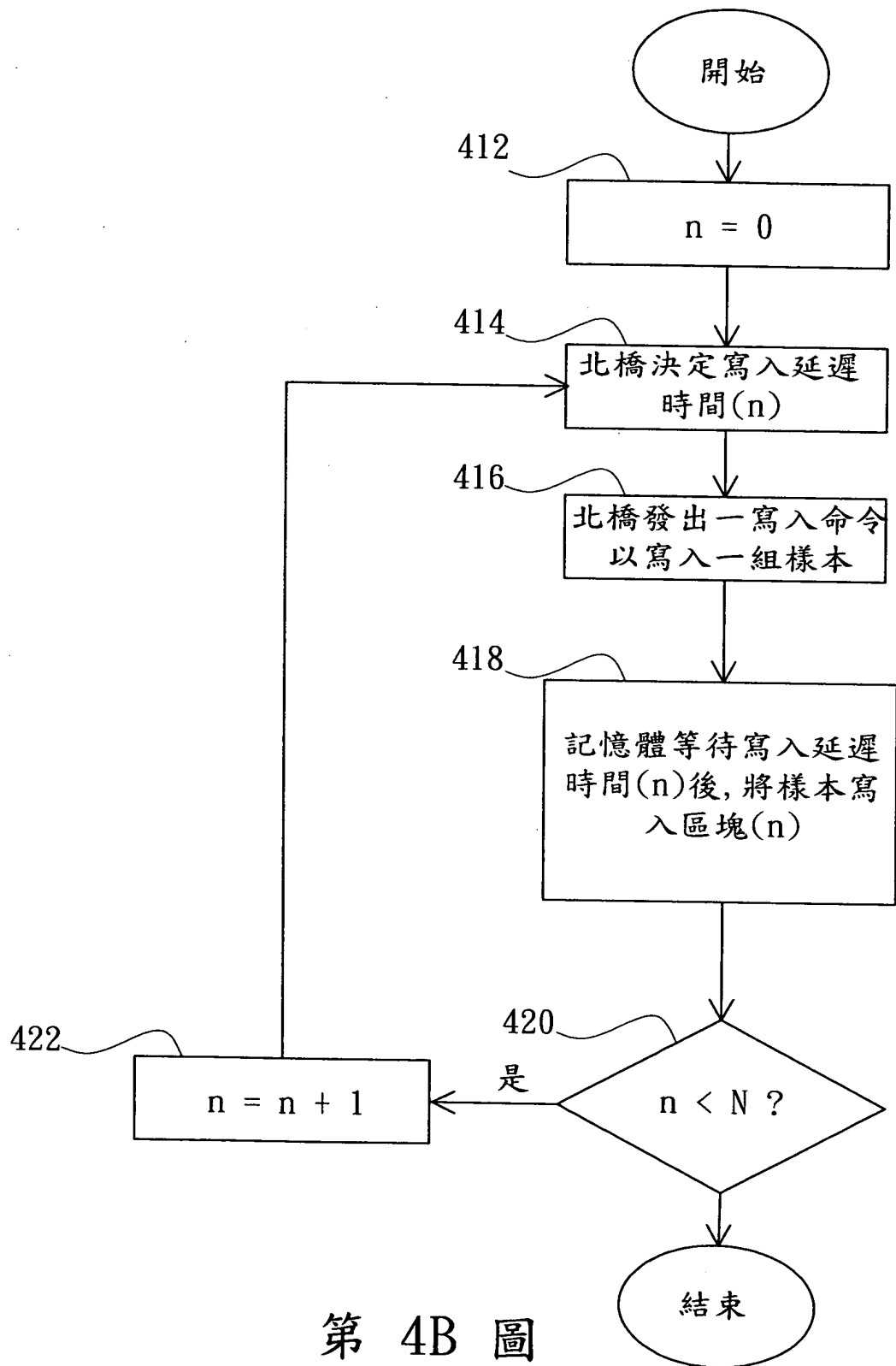
第 2 圖 (習知技藝)



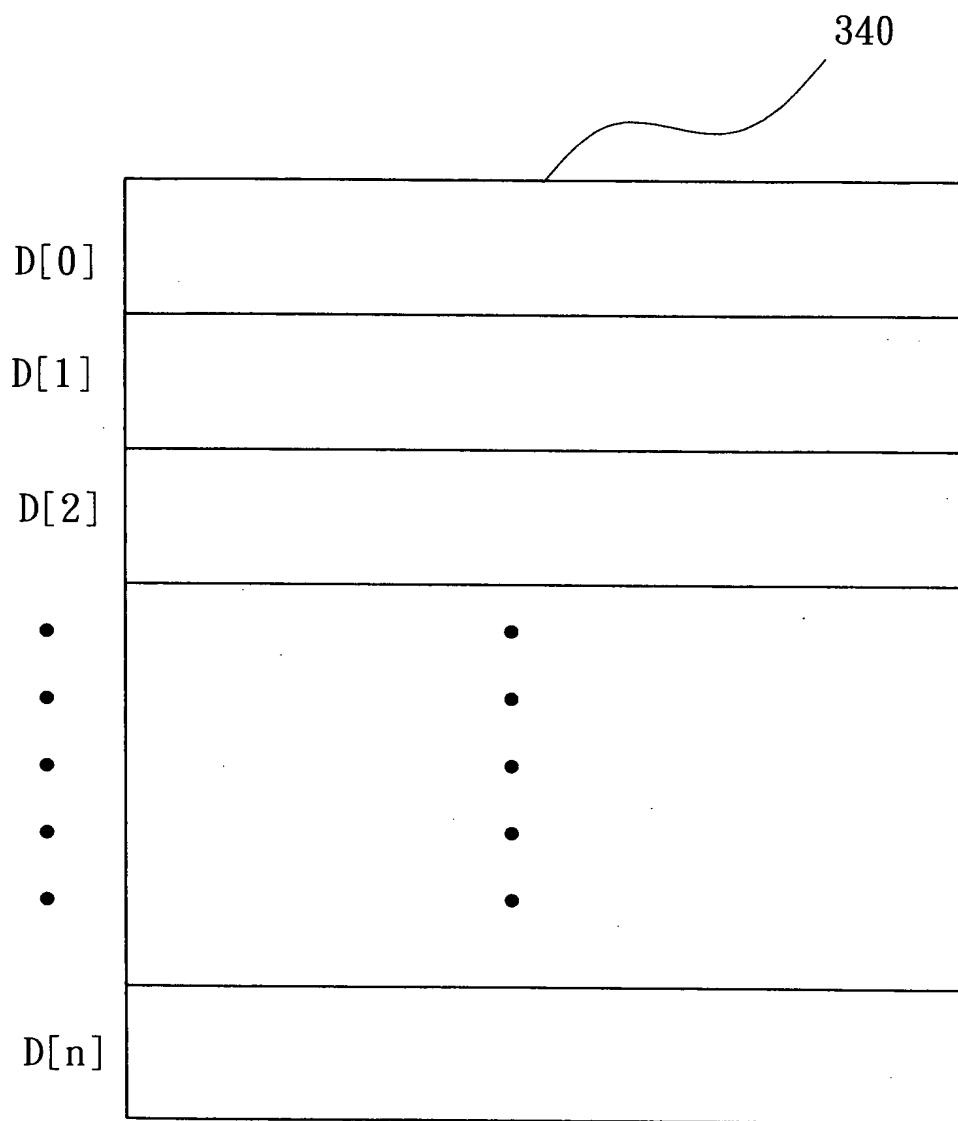
第 3 圖



第 4A 圖



第 4B 圖



第 5 圖